Universität des Saarlandes
Fachrichtung 6.2 – Informatik
Dr.-Ing. D. Kästner

8. November 2001

Übungsblatt 2: Codeerzeugung für eingebettete Prozessoren (WS 2001/2002)

Abgabetermin: 15. November 2001

Aufgabe 1 (6 Punkte)

Ein load-Befehl (lb, lh, lw) läuft in 5 Phasen (Taktzyklen) ab (vergleiche hierzu das endliche Zustandsdiagramm der DLX). Markieren Sie für jede dieser Phasen in einer getrennten Zeichnung die benutzten Komponenten und die aktiven Treiber. Verwenden Sie dazu nachstehendes Blockschaltbild der Datenpfade der DLX.

Aufgabe 2 (6 Punkte)

Geben Sie die Befehlswörter im Binärformat für folgende Assemblerbefehle der DLX an:

(a) ADD R2, R3, R5

(b) SNEI R1, R13, -815

(c) JAL 256

Aufgabe 3 (30 Punkte)

Seien zwei Felder A und B mit jeweils 1000 Elementen vom Typ `integer` gegeben. Zu berechnen ist das Skalarprodukt von A und B, d.h. $C = \sum_{i=0}^{999} A[i] * B[i]$. Im folgenden sei 0x10000 die Startadresse von A, 0x20000 die Startadresse von B, und sei 0x30000 die Adresse von C. Die Werte jeden Arrays seien in Reihenfolge aufsteigender Adressen im Speicher abgelegt.

Schreiben Sie jeweils ein Assemblerprogramm für das Skalarprodukt von A und B unter Verwendung obiger Angaben

- für den DLX-Instruktionssatz, und
- für den Instruktionssatz des Analog Devices SHARC.

Verwenden Sie beim SHARC Indexregister aus der Menge $\{i0, \ldots, i5\}$ und nehmen Sie an, daß folgende Register feste Werte haben: $m5 = 0, m6 = 1, m7 = -1$.

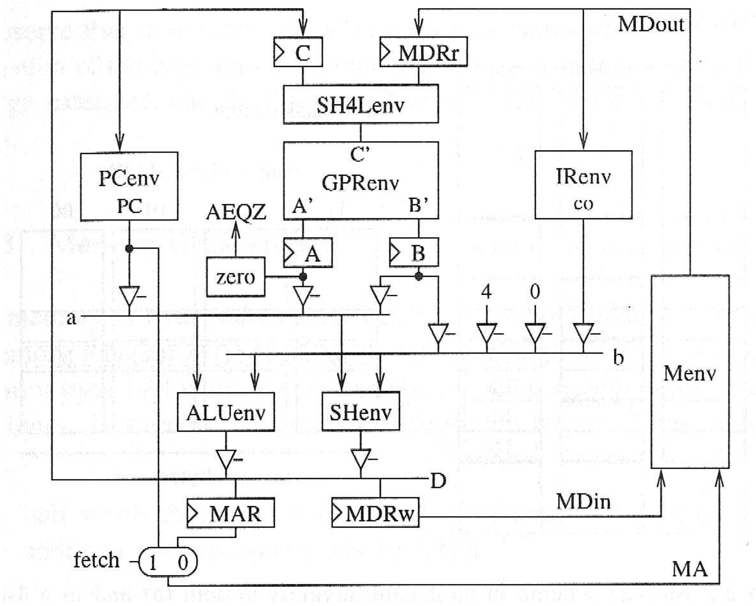

Abbildung 1: DLX Data Paths.

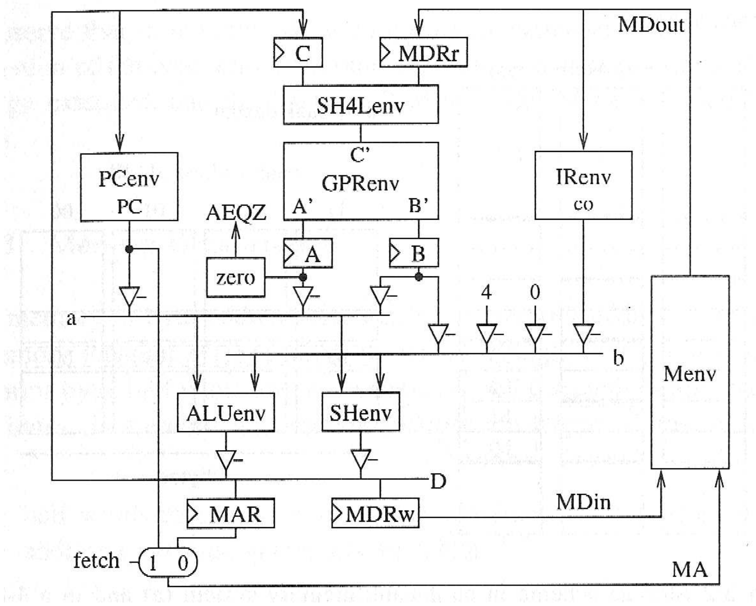

Abbildung 2: DLX Data Paths.

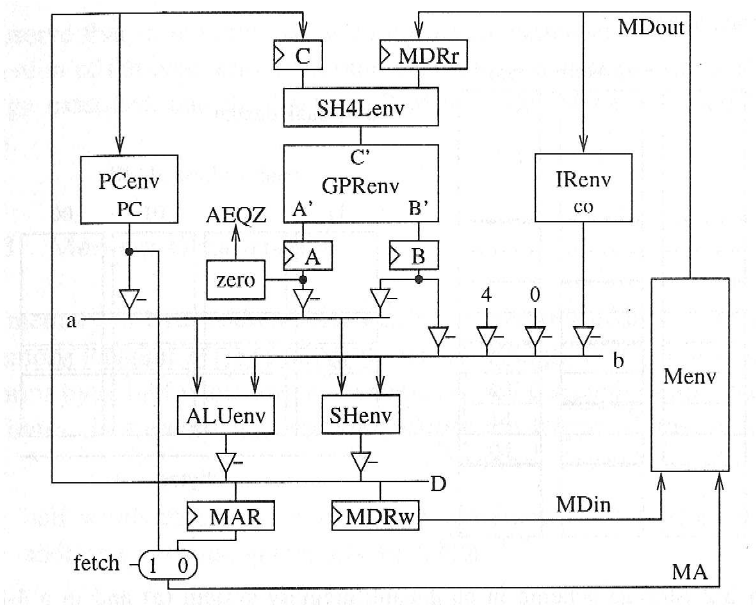

Abbildung 3: DLX Data Paths.

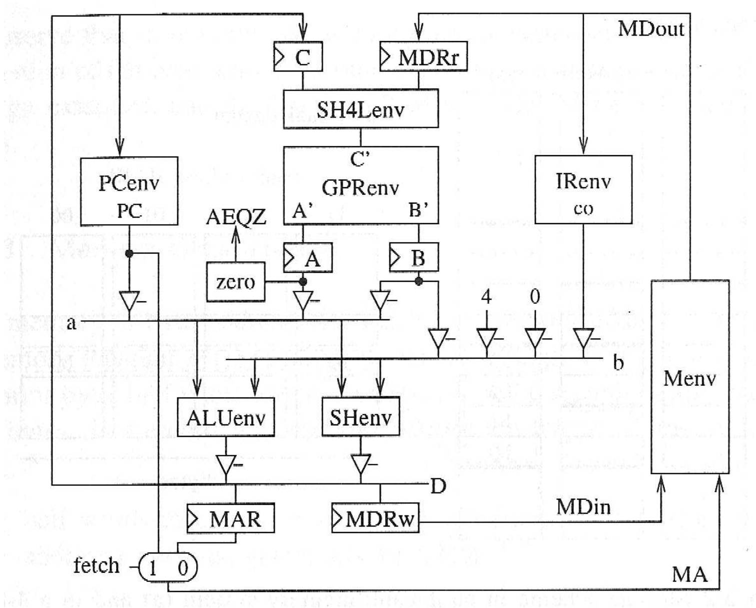

Abbildung 4: DLX Data Paths.

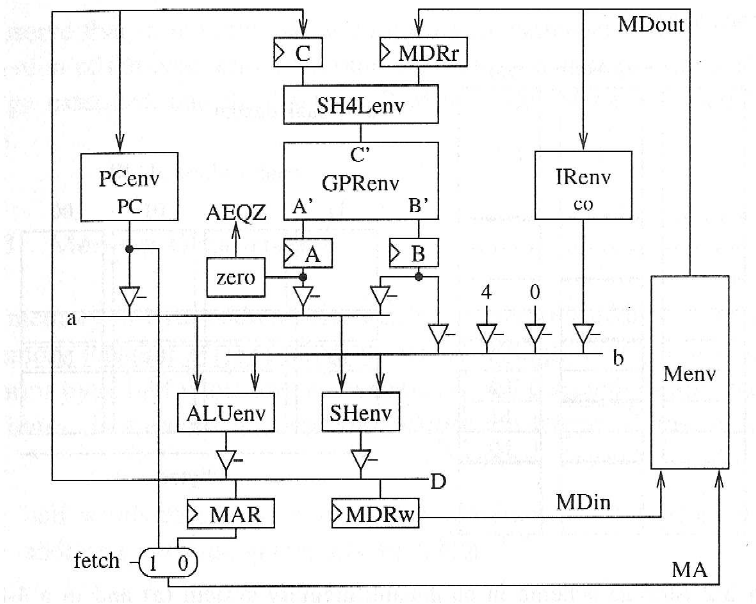

Abbildung 5: DLX Data Paths.

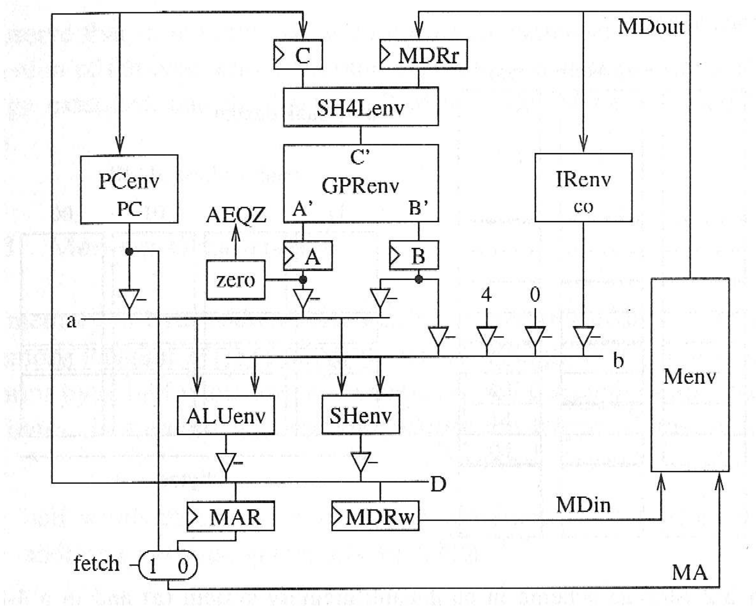

Abbildung 6: DLX Data Paths.

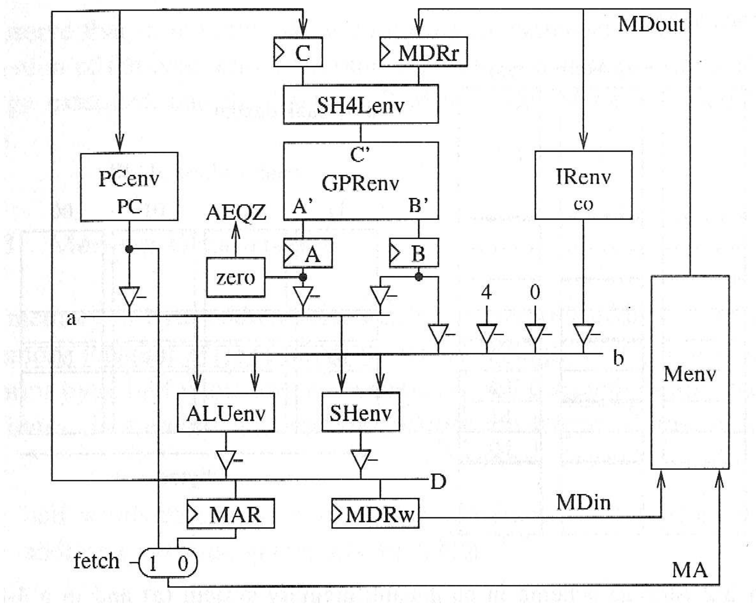

Abbildung 7: DLX Data Paths.

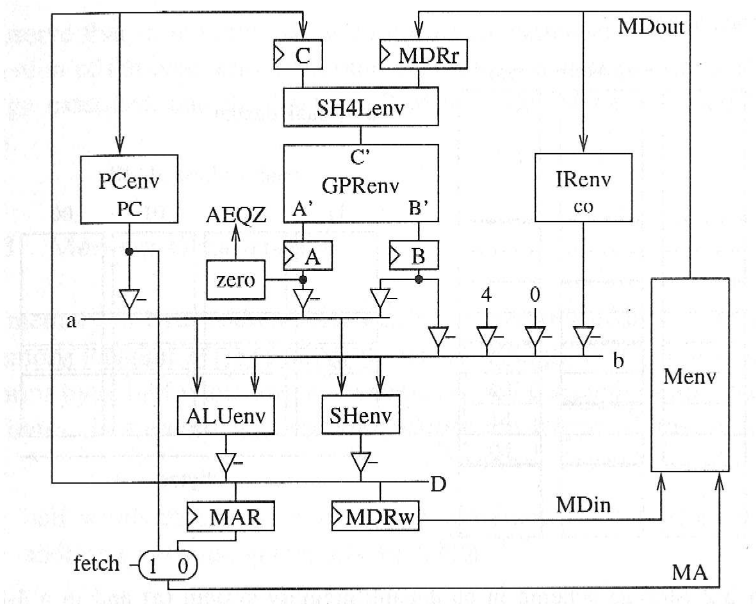

Abbildung 8: DLX Data Paths.